



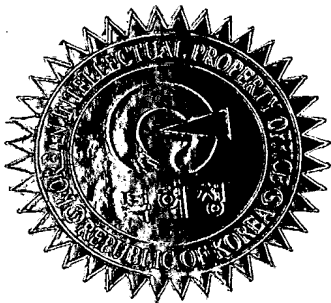
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0075692
Application Number

출원년월일 : 2002년 11월 30일
Date of Application NOV 30, 2002

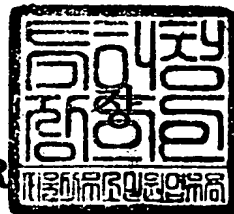
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 06 월 02 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	명세서 등 보정서
【수신처】	특허청장
【제출일자】	2003.05.23
【제출인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【사건과의 관계】	출원인
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【사건의 표시】	
【출원번호】	10-2002-0075692
【출원일자】	2002.11.30
【심사청구일자】	2002.11.30
【발명의 명칭】	개선된 데이터 기입 제어 회로를 가지는 4비트 프리페치 방식 FCRAM 및 이에 대한 데이터 마스킹 방법
【제출원인】	
【접수번호】	1-1-2002-0398930-75
【접수일자】	2002.11.30
【보정할 서류】	명세서등
【보정할 사항】	
【보정대상항목】	별지와 같음
【보정방법】	별지와 같음
【보정내용】	별지와 같음
【취지】	특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에의하여 위와 같 이 제출합니다. 대리인 이영필 (인)
【수수료】	
【보정료】	0 원
【추가심사청구료】	0 원
【기타 수수료】	0 원
【합계】	0 원

【첨부서류】

1. 보정내용을 증명하는 서류_1통

【보정대상항목】 식별번호 108

【보정방법】 정정

【보정내용】

따라서, 상기 기입 제어신호(VW0, VW1)가 모두 "로우(low)" 상태일 때는 상기 기입 정보 발생회로(240)에 의해서만 상기 내부 기입 정보 신호들(CVW1, CVW2, CVW3, CVW4)이 출력된다.

【보정대상항목】 식별번호 110

【보정방법】 정정

【보정내용】

상기 제1 내지 제4 래치회로들(251, 252, 253, 354) 각각은 상기 내부 기입 정보 신호들(CVW1, CVW2, CVW3, CVW4)을 반전시켜 "하이"의 상기 기입 정보 신호들(PVW1, PVW2, PVW3, PVW4)을 출력한다.

【보정대상항목】 식별번호 131

【보정방법】 정정

【보정내용】

【표 3】

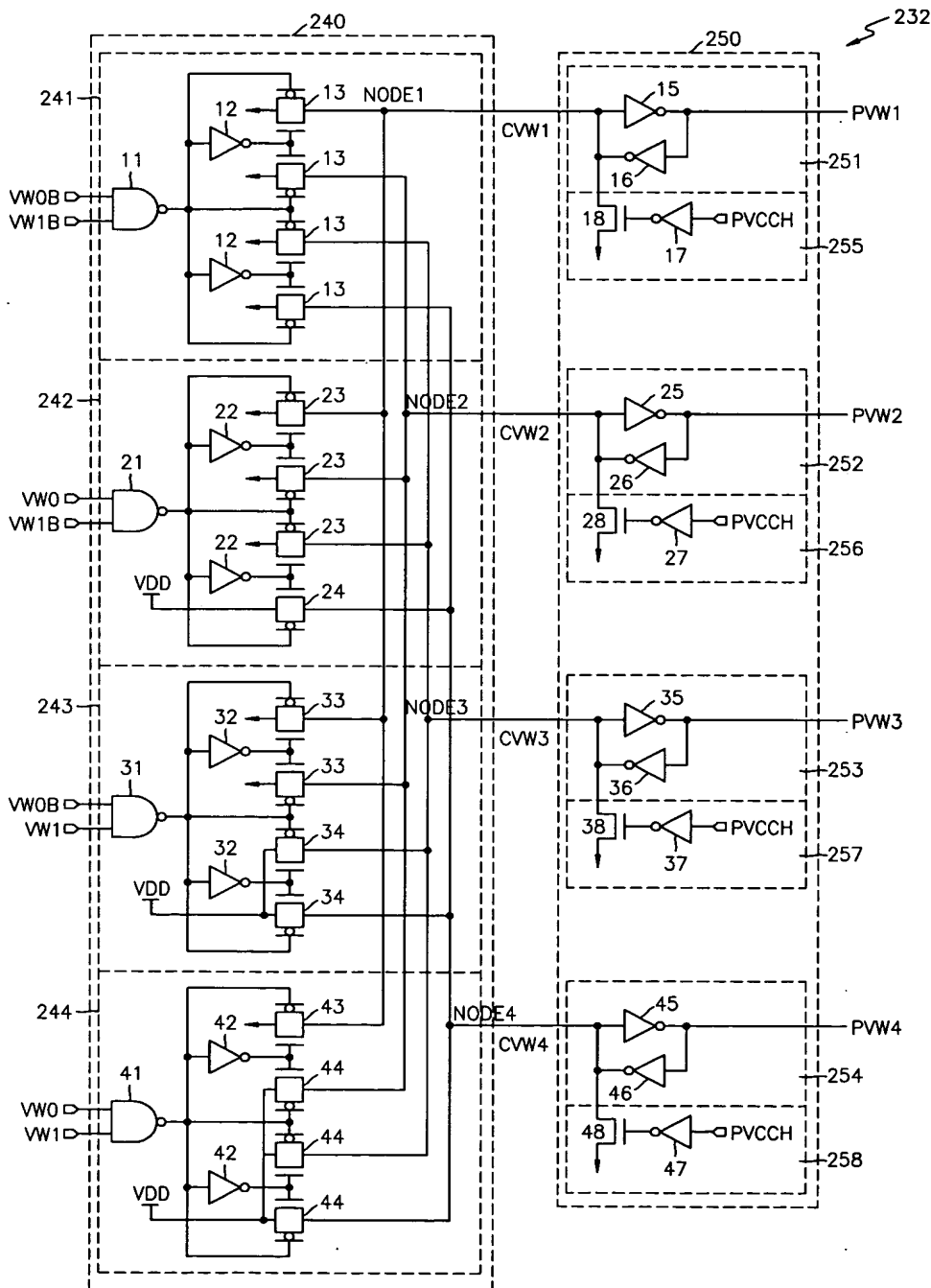
	기 능	VW0	VW1
BL(Burst Length) = 2	Write All Words	L	L 또는 H
	Write Frist One Word	H	L 또는 H
BL(Burst Length) = 4	Reserved	L	L
	Write All Words	H	L
	Write First Tow Words	L	H
	Write First One Word	H	H

【보정대상항목】 도 5

【보정방법】 정정

【보정내용】

【도 5】

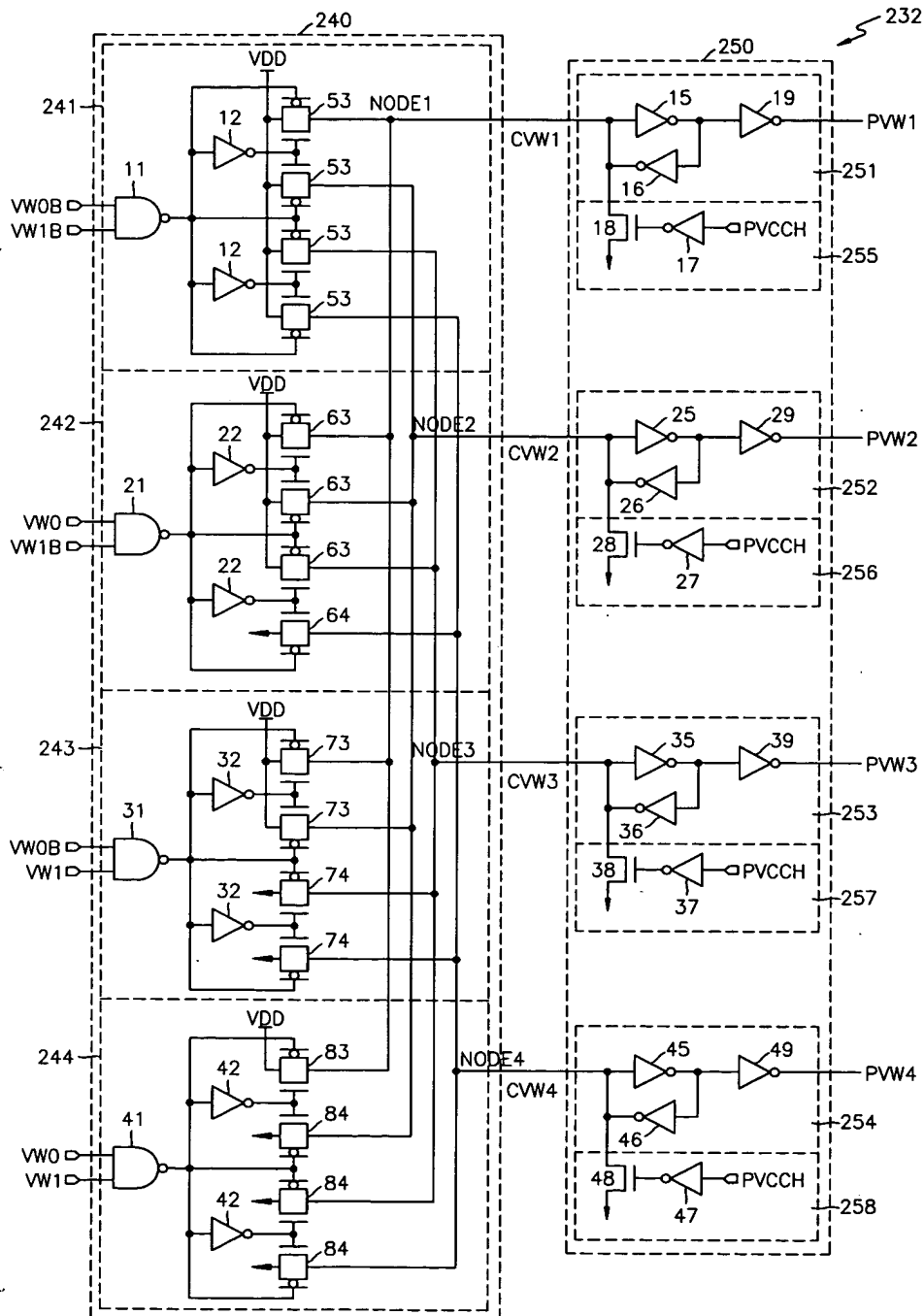


【보정대상항목】 도 6

【보정방법】 정정

【보정내용】

【도 6】



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0022
【제출일자】	2002.11.30
【국제특허분류】	G11C
【발명의 명칭】	개선된 데이터 기입 제어 회로를 가지는 4비트 프리페치 방식 F C R A M 및 이에 대한 데이터 마스크링 방법
【발명의 영문명칭】	4Bit prefetch type FCRAM having the improved control circuit for writing data in memory cell array and data masking method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	나원균
【성명의 영문표기】	LA,One Gyun
【주민등록번호】	700607-1482118
【우편번호】	445-973
【주소】	경기도 화성군 태안읍 반월리 신영통현대타운 110-901
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 26 면 26,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 14 항 557,000 원

【합계】 612,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

개선된 데이터 기입 제어 회로를 가지는 4비트 프리페치 방식 FCRAM 및 이에 대한 데이터 마스킹 방법이 개시된다. 본 발명에 의한 개선된 데이터 기입 제어 회로를 가지는 4비트 프리페치 방식 FCRAM은, 메모리 셀 어레이와 복수의 어드레스 핀 및 복수의 데이터 핀을 구비하는 반도체 메모리 장치에 있어서, 커맨드 디코더, 로우 디코더, 칼럼 디코더, 데이터 입력 버퍼, 데이터 출력 버퍼 및 VW 버퍼를 구비하는 것을 특징으로 한다.

커맨드 디코더는 소정의 외부 입력 신호들에 응답하여 제1 및 제2 기입 명령을 포함하는 제어 명령을 출력한다. 로우 디코더는 어드레스 핀으로 입력되는 로우 어드레스 신호를 디코딩하여 메모리 셀 어레이의 해당 워드 라인을 활성화시킨다.

칼럼 디코더는 어드레스 핀으로 입력되는 칼럼 어드레스 신호를 디코딩하여 메모리 셀 어레이의 해당 칼럼 셀렉트 라인을 인에이블시킨다. 데이터 입력 버퍼는 복수의 데이터 핀으로부터 입력 데이터를 수신하여 소정의 클럭신호에 동기시켜 출력한다.

데이터 출력 버퍼는 메모리 셀 어레이로부터 독출된 출력 데이터를 복수의 데이터 핀으로 출력한다. VW 버퍼는 어드레스 핀으로 입력되는 어드레스 조합 신호에 응답하여 입력 데이터의 마스킹 여부를 지시하는 데이터 마스킹 제어신호를 출력한다.

칼럼 디코더는 데이터 마스킹 제어신호에 응답하여 입력 데이터 중 마스킹될 데이터가 입력될 칼럼 셀렉트 라인을 디세이블한다.



본 발명에 의한 개선된 데이터 기입 제어 회로를 가지는 4비트 프리페치 방식 FCRAM은 복잡한 회로의 구성없이 소정의 어드레스 조합 신호에 의해 칼럼 디코더를 제어하여 기입을 원하지 않는 데이터를 마스킹 할 수 있는 장점이 있다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

개선된 데이터 기입 제어 회로를 가지는 4비트 프리페치 방식 F C R A M 및 이에 대한 데이터 마스크 방법{4Bit prefetch type FCRAM having the improved control circuit for writing data in memory cell array and data masking method thereof}

【도면의 간단한 설명】

도 1은 일반적인 데이터 기입 제어 기능을 가지는 DDR SDRAM의 내부 구성을 개략적으로 나타내는 블록도이다.

도 2는 도 1에 도시된 DDR SDRAM의 주요 입출력 신호들에 대한 타이밍차트이다.

도 3은 본 발명의 일실시예에 따른 개선된 데이터 기입 제어 회로를 가지는 4비트 프리페치 방식 FCRAM의 내부 구성을 개략적으로 나타내는 블록도이다.

도 4는 도 3에 도시된 FCRAM의 VW 버퍼를 상세히 나타내는 블록도이다.

도 5는 도 4에 도시된 VW 제어회로를 상세히 나타내는 회로도 일예이다.

도 6은 도 4에 도시된 VW 제어회로를 상세히 나타내는 회로도의 다른 일예이다.

도 7은 도 3에 도시된 FCRAM의 주요 입출력 신호들에 대한 타이밍차트이다.

도 8은 본 발명이 적용되는 4비트 프리페치 방식 FCRAM의 일부인 데이터 입력 회로 및 메모리 셀 어레이를 개략적으로 나타내는 블록도이다.

도 9는 도 8에 도시된 데이터 입력 회로의 주요 입출력 신호들에 대한 타이밍차트이다.

도 10은 본 발명과 비교되는 2비트 프리페치 방식의 FCRAM의 일부인 데이터 입력 회로 및 메모리 셀 어레이를 개략적으로 나타내는 블록도이다.

도 11은 도 10에 도시된 데이터 입력 회로의 주요 입출력 신호들에 대한 타이밍차트이다.

도 12는 본 발명에 따른 VW 버퍼에 대한 비교예를 나타내는 도면이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <13> 본 발명은 반도체 메모리 장치에 관한 것으로서, 특히, 개선된 데이터 기입 제어 회로를 가지는 4비트 프리페치 방식 FCRAM(Fast Cycle Random Access Memory) 및 이에 대한 데이터 마스킹 방법에 관한 것이다.
- <14> 일반적으로, 반도체 메모리 장치는 행렬구조의 메모리 셀 어레이를 구비하며, 로우(Row) 어드레스와 칼럼(Column) 어드레스가 입력될 때, 독출(read) 또는 기입(write) 제어 명령에 따라 해당 메모리 셀의 데이터가 독출되거나 또는 해당 메모리 셀에 데이터가 기입되는 장치이다.
- <15> 이러한 반도체 메모리 장치의 동작 속도는 시스템이 점차 고속화됨에 따라 시스템의 성능을 제한하는 요인이 되고 있다. 최근, 이러한 제한 요인을 해결하기 위해 SDRAM(Synchronous DRAM), DDR SDRAM(Double Data Rate Synchronous DRAM), FCRAM(Fast Cycle RAM) 등과 같이 동작 속도가 향상된 고성능 디램이 개발되고 있다.

<16> SDRAM은 클럭의 라이징 에지(rising edge) 또는 폴링 에지(falling edge)에서만 데이터의 입출력이 가능하다. 반면에, DDR SDRAM은 클럭의 라이징 에지 뿐만 아니라 폴링 에지에서도 데이터의 입출력이 이루어지므로 SDRAM에 비해 2배의 데이터 전송 속도를 갖는다. 또한, DDR SDRAM은 데이터 기입 제어 명령이 발생할 때, 기입을 원하지 않는 데이터를 마스킹하기 위한 데이터 입출력 마스킹 핀(DQM Pin ; Data input/output masking Pin)을 구비하여, 데이터 마스킹 신호가 활성화될 때 정해진 레이턴시(latency)에 따라 데이터의 입출력을 디세이블한다.

<17> 이러한 일반적인 DDR SDRAM의 일례가 도 1에 도시된다.

<18> 도 1은 일반적인 데이터 기입 제어 기능을 가지는 DDR SDRAM의 내부 구성을 개략적으로 나타내는 블록도이다. 도 1에서는 16개의 데이터 입출력핀을 구비하여 한 번에 16개의 데이터를 처리할 수 있는 X16 DDR SDRAM이 예로서 도시된다.

<19> 도 1과 같이, DDR SDRAM(100)은 커맨드 디코더(101), 어드레스 버퍼(102), 제어 신호 발생부(103), 메모리 셀 어레이(104), 로우 디코더(105), 칼럼 디코더(106), 센스 앰프(107) 및 입출력 제어회로(108)를 구비한다.

<20> 또한, 상기 DDR SDRAM(100)은 데이터 입력 버퍼(109, 110) 및 데이터 출력 버퍼(111, 112)와, DM 버퍼 제어부(113)와, 제1 및 제2 DM(Data Masking) 버퍼들(114, 115)과, 제1 및 제2 기입 제어부(116, 117)를 더 구비한다.

<21> 상기 커맨드 디코더(101)는 제어핀(121)을 통하여 외부로부터 입력되는 제어신호들(/CS, /RAS, /CAS, /WE)에 응답하여 기입 제어 명령(WRITE)을 포함하는 복수의 제어명령들을 출력한다.

- <22> 상기 어드레스 버퍼(102)는 어드레스 핀(122)을 통하여 외부에서 입력되는 로우 어드레스와 칼럼 어드레스를 각각 상기 로우 디코더(105)와 상기 칼럼 디코더(106)에 전달한다.
- <23> 상기 제어신호 발생부(103)는 상기 기입 제어명령(WRITE)에 응답하여 제어신호(CTL)를 활성화시킨다. 상기 제어신호(CTL)에 의해 DRAM의 코어 회로, 예를 들면 상기 로우 디코더(105), 상기 칼럼 디코더(106), 상기 입출력 제어회로(108), 상기 데이터 입력 버퍼(109, 110) 및 상기 데이터 출력 버퍼(111, 112) 등이 제어된다.
- <24> , 상기 로우 디코더(105)는 상기 로우 어드레스를 디코딩하여 상기 메모리 셀 어레이(104)의 해당 워드 라인을 활성화시킨다. 상기 칼럼 디코더(106)는 상기 칼럼 어드레스를 디코딩하여 상기 메모리 셀 어레이(104)의 해당 칼럼 셀렉트 라인을 인에이블시킨다.
- <25> 상기 센스 앰프(107)는 선택된 메모리 셀로부터 독출되는 데이터를 감지 및 증폭하여 출력한다.
- <26> 상기 입출력 제어회로(108)는 상기 센스 앰프(107)에 의해 증폭된 데이터를 상기 데이터 출력 버퍼(111, 112)에 전달하고, 상기 데이터 입력 버퍼(109, 110)로 입력된 데이터를 상기 메모리 셀 어레이(104)에 전달한다.
- <27> 상기 데이터 입력 버퍼(109, 110)에는 데이터 입출력 핀(123, 124)을 통하여 기입될 데이터가 입력되고, 상기 데이터 출력 버퍼(111, 112)는 독출된 데이터를 상기 데이터 입출력 핀(123, 124)을 통하여 출력한다.

- <28> 상기 DM 버퍼 제어부(113)는 상기 기입 제어명령(WRITE)에 응답하여 DM 버퍼 제어 신호(CTL_DMB)를 출력한다. 상기 제1 및 제2 DM 버퍼들(114, 115) 각각은 상기 DM 버퍼 제어신호(CTL_DMB)에 의해 턴 온되어, DM 핀(125, 126)을 통하여 외부로부터 입력되는 기입 금지 신호(LDM, UDM)에 응답하여 기입 제어신호(LDMC, UDMC)를 인에이블 시킨다.
- <29> 여기에서, 상기 기입 금지 신호(LDM)는 상기 데이터 입력 버퍼(109)로 데이터(DQ0 ~DQ7)가 입력되는 것을 제어하기 위한 신호이다. 또, 상기 기입 금지 신호(UDM)는 상기 데이터 입력 버퍼(110)로 데이터(DQ8~DQ15)가 입력되는 것을 제어하기 위한 신호이다.
- <30> 또, 상기 제1 및 제2 기입 제어부들(116, 117) 각각은 상기 기입 제어신호(LDMC, UDMC)에 응답하여 버퍼 제어신호(WDML, WDMU)를 인에이블 시킨다. 상기 데이터 입력 버퍼(109)는 상기 버퍼 제어신호(WDML)가 디세이블 상태일 때 하이 임피던스 상태로 되며, 그 결과 상기 입력버퍼(109)에 데이터(DQ0~DQ7)가 입력되지 않는다. 마찬가지로, 상기 데이터 입력 버퍼(110)는 상기 버퍼 제어신호(WDMU)가 디세이블 상태일 때 하이 임피던스 상태로 되며, 그 결과 상기 입력버퍼(110)에 데이터(DQ8~DQ15)가 입력되지 않는다.
- <31> 결국, 상기 DM 핀(125, 126)을 이용하여 기입을 원하지 않는 데이터를 마스킹 할 수 있다.
- <32> 도 2는 도 1에 도시된 DDR SDRAM의 주요 입출력 신호들에 대한 타이밍차트이다.
- <33> 도 2와 같이, 상기 커맨드 디코더(101)가 클럭신호(CLK)에 동기하여 기입 제어 명령(WRITE)을 출력하면, 상기 제어신호 발생부(103)는 상기 기입 제어 명령(WRITE)에 응답하여 제어신호(CTL)를 인에이블 시킨다.

- <34> 또, 상기 DM 버퍼 제어부(113)가 상기 기입 제어 명령(WRITE)에 응답하여 상기 DM 버퍼 제어신호(CTL_DMB) 인에이블 시킨다.
- <35> 상기 제1 및 제2 DM 버퍼(114, 115)는 상기 DM 버퍼 제어신호(CTL_DMB)에 응답하여 턴 온되며, 상기 기입 금지 신호(LDM, UDM)에 응답하여 상기 기입 제어신호(LDMC, UDMC)를 인에이블 시킨다.
- <36> 도 2에서는 첫 번째 기입 제어명령(WRITE)이 출력될 때 상기 기입 금지 신호(LDM)가 인에이블되어 입력되고, 두 번째 기입 제어명령(WRITE)이 출력될 때 상기 기입 금지 신호(UDM)가 인에이블되어 입력되는 경우가 예로서 도시된다.
- <37> 도 2와 같이, 첫 번째 기입 제어명령(WRITE)이 출력되고, 상기 기입 금지 신호(LDM)가 인에이블되어 입력되면, 상기 기입 제어신호(LDMC)가 인에이블 된다.
- <38> 한편, 상기 기입 금지 신호(UDM)는 디세이블 상태이므로 상기 기입 제어신호(UDMC)도 디세이블 상태를 유지한다.
- <39> 상기 기입 제어신호(LDMC)가 인에이블 되면, 상기 제1 기입 제어부(116)가 상기 기입 제어신호(LDMC)에 응답하여 상기 버퍼 제어신호(WDML)를 인에이블 시킨다.
- <40> 상기 제어신호(CTL) 및 상기 버퍼 제어신호(WDML)가 인에이블 상태이므로, 상기 데이터 입력 버퍼(109)에 상기 데이터(DQ0~DQ7)가 입력된다.
- <41> 그러나, 도 2와 같이, 상기 버퍼 제어신호(WDMU)는 디세이블 상태이므로 상기 데이터 입력 버퍼(110)에는 상기 데이터(DQ8~DQ15)가 입력되지 않는다.
- <42> 다음으로, 상기 두 번째 기입 제어명령(WRITE)이 입력될 때는 상기 첫 번째 기입 제어명령(WRITE)이 입력될 때와는 반대로 상기 기입 금지 신호(UDM)가 인에이블되어 입

력되므로, 상기 데이터 입력 버퍼(110)를 통하여 상기 데이터(DQ8~DQ15)가 입력된다.

상기와 같이, DDR SDRAM은 기입을 원하지 않는 데이터를 마스킹 할 수 있는 기능을 갖는다.

- <43> 한편, FCRAM은 상기 DDR SDRAM과 같이 원하지 않는 데이터를 마스킹하기 위한 데이터 입출력 마스킹 핀을 구비하지 않는다. 따라서, FCRAM에서도 상기 DDR SDRAM과 같이 원하지 않는 데이터를 마스킹 하는 대안이 요구되고 있다.

【발명이 이루고자 하는 기술적 과제】

- <44> 본 발명이 이루고자하는 기술적 과제는, 복잡한 회로의 구성없이 소정의 어드레스 조합 신호에 의해 칼럼 디코더를 제어하여 기입을 원하지 않는 데이터를 마스킹 할 수 있는 개선된 데이터 기입 제어 회로를 가지는 4비트 프리페치 방식 FCRAM 및 이를 이용한 데이터 마스킹 방법을 제공하는데 있다.

【발명의 구성 및 작용】

- <45> 상기 기술적 과제를 달성하기 위한 본 발명의 일실시예에 따른 개선된 데이터 기입 제어 회로를 가지는 4비트 프리페치 방식 FCRAM은, 메모리 셀 어레이와 복수의 어드레스 핀 및 복수의 데이터 핀을 구비하는 반도체 메모리 장치에 있어서, 커맨드 디코더, 로우 디코더, 칼럼 디코더, 데이터 입력 버퍼, 데이터 출력 버퍼 및 VW 버퍼를 구비하는 것을 특징으로 한다.

- <46> 커맨드 디코더는 소정의 외부 입력 신호들에 응답하여 제1 및 제2 기입 명령을 포함하는 제어 명령을 출력한다. 로우 디코더는 어드레스 핀으로 입력되는 로우 어드레스 신호를 디코딩하여 메모리 셀 어레이의 해당 워드 라인을 활성화시킨다.

- <47> 칼럼 디코더는 어드레스 핀으로 입력되는 칼럼 어드레스 신호를 디코딩하여 메모리 셀 어레이의 해당 칼럼 셀렉트 라인을 인에이블시킨다. 데이터 입력 버퍼는 복수의 데이터 핀으로부터 입력 데이터를 수신하여 소정의 클럭신호에 동기시켜 출력한다.
- <48> 데이터 출력 버퍼는 메모리 셀 어레이로부터 독출된 출력 데이터를 복수의 데이터 핀으로 출력한다. VW 버퍼는 어드레스 핀으로 입력되는 어드레스 조합 신호에 응답하여 입력 데이터의 마스킹 여부를 지시하는 데이터 마스킹 제어신호를 출력한다.
- <49> 칼럼 디코더는 데이터 마스킹 제어신호에 응답하여 입력 데이터 중 마스킹될 데이터가 입력될 칼럼 셀렉트 라인을 디세이블한다.
- <50> 상기 기술적 과제를 달성하기 위한 본 발명의 일실시예에 따른 개선된 데이터 기입 제어 회로를 가지는 4비트 프리페치 방식 FCRAM에서의 입력 데이터 마스킹 방법은, 메모리 셀 어레이와 복수의 어드레스 핀 및 복수의 데이터 핀을 구비하는 반도체 메모리 장치에서의 입력 데이터 마스킹 방법에 있어서,
- <51> (a) 소정의 외부 입력 신호들에 응답하여 제1 및 제2 기입 명령을 포함하는 제어 명령을 발생하는 단계;
- <52> (b) 상기 복수의 어드레스 핀을 통하여 로우 어드레스 신호, 칼럼 어드레스 신호 및 어드레스 조합 신호를 수신하는 단계;
- <53> (c) 상기 복수의 데이터 핀을 통하여 상기 입력 데이터를 수신하는 단계;
- <54> (d) 상기 로우 어드레스 신호를 디코딩하여 상기 메모리 셀 어레이의 해당 워드 라인을 활성화시키는 단계;

- <55> (e) 상기 칼럼 어드레스 신호를 디코딩하여 상기 메모리 셀 어레이의 해당 칼럼 셀 선택 라인을 인에이블시키는 단계; 및
- <56> (f) 상기 어드레스 조합 신호에 응답하여 상기 입력 데이터의 마스킹 여부를 지시하는 데이터 마스킹 제어신호를 발생하는 단계; 및
- <57> (g) 칼럼 디코더가 상기 데이터 마스킹 제어신호에 응답하여 상기 입력 데이터 중 마스킹될 데이터가 입력될 칼럼 선택 라인을 디세이블하는 단계를 구비하는 것을 특징으로 한다.
- <58> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.
- <59> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <60> 일 실시예
- <61> 도 3은 본 발명의 일실시예에 따른 개선된 데이터 기입 제어 회로를 가지는 4비트 프리페치 방식 FCRAM의 내부 구성을 개략적으로 나타내는 블록도이다. 도 3에서는 X16 FCRAM이 예로서 도시된다.
- <62> 도 3과 같이, FCRAM(200)은 커맨드 디코더(201), 어드레스 버퍼(202), 제어신호 발생부(203), 메모리 셀 어레이(204), 로우 디코더(205), 칼럼 디코더(206), 센스 앰프(207) 및 입출력 제어회로(208)를 구비한다.

- <63> 또한, 상기 FCRAM(200)은 데이터 입력 버퍼부(209)와 데이터 출력 버퍼부(210), VW(valid write window) 버퍼(211)를 더 구비한다.
- <64> 상기 커맨드 디코더(201)는 제어핀(221)을 통하여 외부로부터 입력되는 제어신호들(/CS, /RAS, /CAS, /WE)에 응답하여 제1 및 제2 기입 제어명령(WRA, LAL)을 포함하는 복수의 제어명령들을 출력한다.
- <65> 상기 어드레스 버퍼(202)는 어드레스 핀(222)을 통하여 외부에서 입력되는 로우 어드레스와 칼럼 어드레스를 각각 상기 로우 디코더(205)와 상기 칼럼 디코더(206)에 전달한다.
- <66> 여기에서, 상기 어드레스 버퍼(202)에는 상기 제1 기입 제어명령(WRA)이 입력될 때, 워드 라인을 활성화시키기 위한 상위 어드레스(upper address)가 입력되고, 상기 제2 기입 제어명령(LAL)이 입력될 때, 칼럼 셀렉트 라인을 인에이블시키기 위한 하위 어드레스(lower address)가 입력된다.
- <67> 상기 제어신호 발생부(203)는 상기 제1 및 제2 기입 제어명령(WRA, LAL)에 응답하여 제어신호(CTL)를 활성화시킨다. 상기 제어신호(CTL)에 의해 DRAM의 코어 회로인 상기 로우 디코더(205), 상기 칼럼 디코더(206), 상기 입출력 제어회로(208), 상기 데이터 입력 버퍼부(209) 및 상기 데이터 출력 버퍼부(210) 등이 제어된다.
- <68> 상기 로우 디코더(205)는 상기 로우 어드레스를 디코딩하여 상기 메모리 셀 어레이(204)의 해당 워드 라인을 활성화시킨다. 상기 칼럼 디코더(206)는 상기 칼럼 어드레스를 디코딩하여 상기 메모리 셀 어레이(204)의 해당 칼럼 셀렉트 라인을 인에이블시킨다.

- <69> 상기 센스 앰프(207)는 선택된 메모리 셀로부터 독출되는 데이터를 감지 및 증폭하여 출력한다.
- <70> 상기 입출력 제어회로(208)는 상기 센스 앰프(207)에 의해 증폭된 데이터를 상기 데이터 출력 버퍼부(210)에 전달하고, 상기 데이터 입력 버퍼부(209)로 입력된 데이터를 상기 메모리 셀 어레이(204)에 전달한다.
- <71> 상기 데이터 입력 버퍼부(209)에는 데이터 입출력 핀(223)을 통하여 기입될 데이터가 입력되고, 상기 데이터 출력 버퍼부(210)는 독출된 데이터를 상기 데이터 입출력 핀(223)을 통하여 출력한다.
- <72> 상기 VW 버퍼(211)는 상기 제2 기입 제어명령(LAL)이 출력될 때, 상기 어드레스 핀(222)을 통하여 외부에서 입력되는 소정의 어드레스 조합 신호에 따라 상기 칼럼 디코더(206)에 소정의 데이터 마스킹 제어신호(PVW_OUT1, PVW_OUT2, PVW_OUT3, PVW_OUT4)를 출력한다. 여기에서, 상기 소정의 어드레스 조합 신호는 예를 들면, 어드레스(A11~A14)의 조합이 될 수 있다.
- <73> 상기 칼럼 디코더(206)는 상기 데이터 마스킹 제어신호(PVW_OUT1, PVW_OUT2, PVW_OUT3, PVW_OUT4)에 의해 제어되어 기입이 금지될 소정의 칼럼 셀렉트 라인을 디세이블시켜 데이터가 기입되지 않도록 한다.
- <74> 도 4는 도 3에 도시된 FCRAM의 VW 버퍼를 상세히 나타내는 블록도이다.
- <75> 도 4와 같이, VW 버퍼(211)는 입력 버퍼 및 디코더(231), VW 제어회로(232) 및 순서 제어회로(233)를 구비한다.

- <76> 상기 입력 버퍼 및 디코더(231)에는 상기 제2 기입 제어명령(LAL)이 출력될 때, 상기 어드레스 핀(222)을 통하여 외부에서 입력되는 어드레스 신호들 중 소정의 어드레스 신호(ADD1)가 입력된다.
- <77> 상기 입력 버퍼 및 디코더(231)는 상기 어드레스 조합 신호(ADD1)가 입력되면, 이를 디코딩 하여 기입 제어신호(VW0, VW1)를 출력한다. 상기 VW 제어회로(232)는 상기 기입 제어신호(VW0, VW1)에 응답하여 기입 정보신호(PVW1, PVW2, PVW3, PVW4)를 출력한다.
- <78> 여기에서, 상기 소정의 어드레스 신호(ADD1)는 어드레스(A11~A14)의 조합 신호일 수 있다. 또, 상기 기입 제어신호(VW0, VW1)는 상위 데이터(DQ8~DQ15)의 기입을 제어하기 위한 기입 제어신호(UVW0, UVW1)와 하위 데이터(DQ0~DQ7)의 기입을 제어하기 위한 기입 제어신호(LVW0, LVW1)를 포함한다.
- <79> 이 때, 상기 어드레스(A11, A12)의 조합 신호는 상기 기입 제어신호(UVW0, UVW1)를 발생하는데 사용될 수 있고, 상기 어드레스(A13, A14)의 조합 신호는 상기 기입 제어신호(LVW0, LVW1)를 발생하는데 사용될 수 있다.
- <80> 도 4에서는 상기 입력 버퍼 및 디코더(231)가 상기 기입 제어신호(UVW0, UVW1)를 발생하는 것이 예로서 도시된다.
- <81> 상기 순서 제어회로(233)는 소정의 어드레스 신호(ADD2)에 응답하여 해당 데이터의 기입 순서를 결정하고, 상기 기입 정보신호(PVW1, PVW2, PVW3, PVW4)와 상기 결정된 기입 순서에 따라 상기 데이터 마스킹 제어신호(PVW_OUT1, PVW_OUT2, PVW_OUT3, PVW_OUT4)를 출력한다.



- <82> 상기 칼럼 디코더(206)는 상기 데이터 마스크 제어신호(PVW_OUT1, PVW_OUT2, PVW_OUT3, PVW_OUT4)에 응답하여 기입이 금지될 해당 칼럼 셀렉트 라인을 디세이블 시킨다.
- <83> 여기에서, 상기 소정의 어드레스 신호(ADD2)는 상기 커맨드 디코더(203)(도 3 참고)에 의해 제2 기입 제어명령(LAL)이 출력될 때, 상기 어드레스 핀(222)을 통하여 외부에서 입력되는 어드레스 신호이다. 상기 소정의 어드레스 신호(ADD2)는 입력 데이터의 기입 순서를 결정하기 위한 신호로서, 바람직하게, 어드레스(A0, A1)의 조합신호일 수 있다.
- <84> 또, 상기 기입 정보신호(PVW1, PVW2, PVW3, PVW4)는 연속적으로 입력되는 데이터의 기입 정보 및 마스크 정보를 나타내는 신호이다.
- <85> 따라서, 상기 기입 정보신호(PVW1, PVW2, PVW3, PVW4)에 따라 연속적으로 입력되는 데이터의 몇 번째 비트까지 기입될 것인지가 결정된다. 이를 좀 더 상세히 설명하면 다음과 같다.
- <86> 예를 들어, 데이터(D0, D1, D2, D3)가 입력될 때, 상기 기입 정보신호(PVW1, PVW2, PVW3, PVW4)가 "1100"인 경우, 상기 데이터(D0, D1)만이 기입되고 나머지 데이터(D3, D4)는 마스크된다.
- <87> 도 5는 도 4에 도시된 VW 제어회로를 상세히 나타내는 회로도의 일예이다.
- <88> 도 5와 같이, VW 제어회로(232)는 기입 정보 발생회로(240)와 출력회로(250)를 구비한다.

- <89> 상기 기입 정보 발생회로(240)는 기입 제어신호들(VW0, VW0B, VW1, VW1B)의 조합 신호에 응답하여 내부 기입 정보신호(CVW1, CVW2, CVW3, CVW4)를 노드들(NODE1, NODE2, NODE3, NODE4)에 출력한다.
- <90> 상기 출력회로(250)는 상기 내부 기입 정보신호(CVW1, CVW2, CVW3, CVW4)를 1차 반 전시켜 상기 기입 정보신호(PVW1, PVW2, PVW3, PVW4)를 출력한다.
- <91> 상기 기입 정보 발생회로(240)는 제1 내지 제4 기입 정보 발생회로들(241, 242, 243, 244)을 구비한다.
- <92> 상기 제1 내지 제4 기입 정보 발생회로들(241, 242, 243, 244) 각각은 NAND 게이트(11, 21, 31, 41)와, 인버터들(12, 22, 32, 42) 및 복수개의 전송 게이트들(13, 23, 24, 33, 34, 43, 44)을 포함한다.
- <93> 상기 NAND 게이트(11)에는 기입 제어신호(VW0B, VW1B)가 입력되고, 상기 NAND 게이트(21)에는 기입 제어신호(VW0, VW1B)가 입력된다. 또, 상기 NAND 게이트(31)에는 기입 제어신호(VW0B, VW1)가 입력되고, 상기 NAND 게이트(41)에는 기입 제어신호(VW0, VW1)가 입력된다.
- <94> 여기에서, 상기 기입 제어신호(VW0, VW1)는 상기 입력버퍼 및 디코더(231)(도 4 참고)에 의해 소정의 어드레스 조합 신호가 디코딩된 신호이다.
- <95> 상기 전송 게이트들(13)의 출력단은 각각 노드들(NODE1, NODE2, NODE3, NODE4)에 하나씩 연결되고, 입력단은 그라운드에 연결된다.

- <96> 상기 전송 게이트들(23)의 출력단은 각각 노드들(NODE1, NODE2, NODE3)에 하나씩 연결되고, 입력단은 상기 그라운드에 연결된다. 상기 전송 게이트(24)의 출력단은 노드(NODE4)에 연결되고, 입력단은 내부전압(VDD)에 연결된다.
- <97> 또, 상기 전송 게이트들(33)의 출력단은 각각 노드들(NODE1, NODE2)에 하나씩 연결되고, 입력단은 상기 그라운드에 연결된다. 상기 전송 게이트들(34)의 출력단은 각각 노드들(NODE3, NODE4)에 하나씩 연결되고, 입력단은 상기 내부전압(VDD)에 연결된다.
- <98> 상기 전송게이트(43)의 출력단은 노드(NODE1)에 연결되고, 입력단은 상기 그라운드에 연결된다. 상기 전송 게이트들(44)의 출력단은 각각 노드들(NODE2, NODE3, NODE4)에 하나씩 연결되고, 입력단은 상기 내부전압(VDD)에 연결된다.
- <99> 상기 NAND 게이트(11, 21, 31, 41)의 출력신호 및 상기 인버터들(12, 22, 32, 42)의 출력신호는 상기 전송 게이트들(13, 23, 24, 33, 34, 43, 44)의 게이트에 입력된다.
- <100> 상기 출력회로(250)는 제1 내지 제4 래치회로들(251, 252, 253, 254)을 구비한다. 상기 제1 내지 제4 래치회로들(251, 252, 253, 254)은 상기 노드들(NODE1, NODE2, NODE3, NODE4)에 하나씩 연결된다. 상기 제1 내지 제4 래치회로들(251, 252, 253, 254) 각각은 인버터들(15 및 16, 25 및 26, 35 및 36, 45 및 46)을 포함한다.
- <101> 또, 상기 제1 내지 제4 래치회로들(251, 252, 253, 254) 각각은 전원 입력시 소정의 내부 제어신호(PVCCH)에 응답하여 상기 노드들(NODE1, NODE2, NODE3, NODE4)의 초기 전압 레벨을 소정 레벨로 유지시키기 위한 초기값 설정회로들(255, 256, 257, 258)을 더 구비한다.

- <102> 여기에서, 상기 내부 제어신호(PVCCH)는 별도의 제어회로(도시되지 않음)에 의해 발생되는 신호이다.
- <103> 상기 초기값 설정회로들(255, 256, 257, 258) 각각은 바람직하게 인버터(17, 27, 37, 47) 및 NMOS 트랜지스터(18, 28, 38, 48)로 실행될 수 있다. 상기 인버터(17, 27, 37, 47)는 상기 내부 제어신호(PVCCH)를 반전시켜 상기 NMOS 트랜지스터(18, 28, 38, 48)의 게이트로 출력한다.
- <104> 상기와 같이 구성된 VW 제어회로(232)의 구체적인 동작의 일예를 살펴보면 다음과 같다.
- <105> 먼저, 상기 기입 제어신호(VW0, VW1)가 모두 "로우(low)" 상태이면, 상기 기입 제어신호(VW0B, VW1B)는 모두 "하이(high)" 상태로 된다.
- <106> 상기 기입 제어신호(VW0B, VW1B) 모두가 "하이" 상태로 됨에 따라, 상기 NAND 게이트(11)만이 "로우(low)" 신호를 출력하고, 나머지 상기 NAND 게이트들(21, 31, 41)은 "하이(high)" 신호를 출력한다.
- <107> 상기 NAND 게이트(11)의 출력이 "로우"로 됨에 따라 상기 전송 게이트들(13)만이 턴 온되고, 나머지 상기 전송 게이트들(23, 24, 33, 34, 43, 44)은 턴 오프 상태로 된다.
- <108> 따라서, 상기 기입 제어신호(VW0, VW1)가 모두 "로우(low)" 상태일 때는 상기 제1 기입 정보 발생회로(240)에 의해서만 상기 내부 기입 정보 신호들(CVW1, CVW2, CVW3, CVW4)이 출력된다.

- <109> 상기 전송 게이트들(13)이 턴 온됨에 따라 상기 노드들(NODE1, NODE2, NODE3, NODE4)에 "로우"의 상기 내부 기입 정보 신호들(CVW1, CVW2, CVW3, CVW4) 각각이 출력된다.
- <110> 상기 제1 내지 제2 래치회로들(251, 252, 253, 354) 각각은 상기 내부 기입 정보 신호들(CVW1, CVW2, CVW3, CVW4)을 반전시켜 "하이"의 상기 기입 정보 신호들(PVW1, PVW2, PVW3, PVW4)을 출력한다.
- <111> 여기에서, 상기 제1 내지 제4 기입 정보 발생회로들(241, 242, 243, 244)은 입력단이 상기 내부전압(VDD)에 연결되는 전송 게이트들(13, 23, 33, 43)과, 입력단이 상기 그라운드에 연결되는 전송 게이트들(24, 34, 44)의 수가 각각 다르기 때문에, 상기 제1 내지 제4 기입 정보 발생회로들(241, 242, 243, 244) 각각에 의해 출력되는 상기 기입 정보 신호들(PVW1, PVW2, PVW3, PVW4)은 서로 다르다.
- <112> 따라서, 상기 제1 내지 제4 기입 정보 발생회로들(241, 242, 243, 244) 중 어떤 기입 정보 발생회로가 턴 온되는가에 따라 상기 기입 정보 신호(PVW1, PVW2, PVW3, PVW4)는 변화된다. 이를 좀 더 구체적으로 설명하면 아래의 표와 같다.

<113> **【표 1】**

VW0	VW1	PVW1	PVW2	PVW3	PVW4
0	0	1	1	1	1
0	1	1	1	1	0
1	0	1	1	0	0
1	1	1	0	0	0

- <114> 상기 [표 1]과 같이, 상기 기입 제어신호(VW0, VW1)가 '00'일 때는 상기 제1 기입 정보 발생회로(241)가 턴 온되고, '01'일 때는 상기 제2 기입 정보 발생회로(242)가 턴

온된다. 또, 상기 기입 제어신호(VW0, VW1)가 '10'일 때는 상기 제3 기입 정보 발생회로(243)가 턴 온되고, '11'일 때는 상기 제4 기입 정보 발생회로(244)가 턴 온된다.

<115> 상기 기입 정보 신호들(PVW1, PVW2, PVW3, PVW4)은 상기 순서 제어회로(233)(도 4 참고)에 입력된다. 상기 순서 제어회로(233)는 소정의 어드레스 신호(ADD2)에 응답하여 연속적으로 입력되는 데이터의 기입 순서를 결정한다.

<116> 또, 상기 순서 제어회로(233)는 상기 기입 정보신호(PVW1, PVW2, PVW3, PVW4)와 상기 결정된 기입 순서에 따라 칼럼 디코더(206)에 제어신호(PVW_OUT1, PVW_OUT2, PVW_OUT3, PVW_OUT4)를 출력한다.

<117> 여기에서, 상기 칼럼 디코더(206)는 상기 기입 정보 신호(PVW1, PVW2, PVW3, PVW4)의 값에 따라 입력되는 데이터 중 소정 비트의 데이터만 기입되도록 하고, 나머지 데이터들은 마스킹 되도록 한다.

<118> 예를 들면, 'D0, D1, D2, D3'의 데이터가 입력되는 것으로 가정하면, 상기 기입 정보 신호들(PVW1, PVW2, PVW3, PVW4)이 '1111'인 경우 상기 'D0, D1, D2, D3'의 데이터가 모두 기입된다. 또, 상기 기입 정보 신호들(PVW1, PVW2, PVW3, PVW4)이 '1110'인 경우 상기 'D0, D1, D2'의 데이터만 기입되고, '1100'인 경우 'D0, D1'의 데이터만 기입되며, '1000'인 경우 'D0'의 데이터만 기입된다.

<119> 따라서, 상기 기입 정보 신호들(PVW1, PVW2, PVW3, PVW4)이 각각 '1110', '1100', '1000'이면, 'D3', 'D2, D3', 'D1, D2, D3'의 데이터가 각각 마스킹된다.

<120> 도 6은 도 4에 도시된 VW 제어회로를 상세히 나타내는 회로도인 다른 일예이다.

- <121> 도 6에 도시된 VW 제어회로(232)의 구성 및 구체적인 동작은 도 5에서 설명한 것과 동일하므로 생략하기로 한다.
- <122> 다만, 도 6에 도시된 VW 제어회로(232)와 도 5에 도시된 VW 제어회로(232)는 두 가지 차이점을 갖는다.
- <123> 첫 번째 차이점은 상기 전송 게이트들(13, 23, 24, 33, 34, 43, 44)과는 반대로, 전송 게이트들(53, 63, 73, 83)의 입력단이 상기 내부전압(VDD)에 연결되고, 전송 게이트들(64, 74, 84)의 입력단이 상기 그라운드에 연결된 것이다.
- <124> 두 번째 차이점은 상기 제1 내지 제4 래치회로들(251, 252, 253, 254) 각각이 상기 인버터들(15, 25, 35, 45)의 출력신호를 반전시켜 상기 기입 정보 신호들(PVW1, PVW2, PVW3, PVW4)을 각각 출력하는 인버터들(19, 29, 39, 49)을 더 포함하는 것이다.
- <125> 도 7은 도 3에 도시된 FCRAM의 주요 입출력 신호들에 대한 타이밍차트이다.
- <126> 도 7과 같이, FCRAM은 DDR SDRAM과는 다르게 데이터 기입을 위해 제1 및 제2 기입 제어명령(WRA, LAL)이 사용되며, 이를 표로 나타내면 다음과 같다.
- <127> 【표 2】

제어명령	/CS	FN	BA1~BA0	A14	A13	A12	A11	A10~A9	A8	A7	A6~A0
WRA(1st)	L	L	BA	UA	UA	UA	UA	UA	UA	UA	UA
LAL(2nd)	H	H 또는 L	H 또는 L	LVW0	LVW1	UVW0	UVW1	H 또는 L	H 또는 L	H 또는 L	LA

- <128> 상기 [표 2]에서 "BA"는 뱅크 어드레스이고, "UA"는 상위 어드레스(upper address), 즉, 워드라인을 활성화시키기 위한 어드레스이며, "LA"는 하위 어드레스(lower address), 즉, 칼럼 셀렉트 라인을 인에이블시키기 위한 어드레스이다. 또, "

LVW0"와 "LVW1"은 입력 데이터(DQ0~DQ7)의 기입을 제어하는 신호이고, "UVW0"와 "UVW1"은 입력 데이터(DQ8~DQ15)의 기입을 제어하는 신호이다.

<129> 또, 도 7에서, "DESL(device deselect)"은 제어명령이 입력되지 않는 구간을 나타낸다.

<130> 여기에서, 상기 기입 제어신호(VW0, VW1)의 상태에 따른 데이터 기입 제어의 일례를 표로 나타내면 다음과 같다.

<131> 【표 3】

	기 능	VW0	VW1
BL(Bust Length) = 2	Write All Words	L	L 또는 H
	Write Frist One Word	H	L 또는 H
BL(Bust Length) = 4	Reserved	L	L
	Write All Words	H	L
	Write First Tow Words	L	H
	Write First One Word	H	H

<132> 상기 [표 3]과 같이, 본 발명의 일실시예에 따른 FCRAM에서는 데이터 입력 버퍼부(209)로 입력되는 데이터 중 소정 비트의 데이터만 기입되고, 연속적으로 입력되는 나머지 데이터들의 기입이 금지된다. 이를 좀 더 상세히 설명하면 다음과 같다.

<133> 도 7과 같이, 기입 제어를 위한 소정의 어드레스 조합 신호는 상기 제2 기입 제어 명령(LAL)이 출력될 때, 상기 VW 버퍼(211)(도 3 참고)에 입력된다. 상기 소정의 어드레스 조합 신호는 상기 [표 2]에 표시된 것과 같이 어드레스(A11~A14)에 의해 입력된다.

<134> 상기 VW 버퍼(211)는 상기 어드레스 조합 신호를 디코딩하여 상기 기입 제어신호들(LVW0, LVW1, UVW0, UVW1)을 발생시키고, 입력되는 데이터의 기입 순서를 결

정하며, 기입 금지 여부에 따라 상기 칼럼 디코더(206)를 제어한다. 상기 칼럼 디코더(206)는 상기 VW 버퍼(211)에 의해 제어되어 해당 데이터의 기입을 제어한다.

<135> 도 7에서는, 첫 번째 제2 기입 제어명령(LAL)이 출력될 때, 상기 VW 버퍼(211)에 입력되는 어드레스 조합신호에 의해 발생하는 상기 기입 제어신호(UVW)가 첫 번째 2워드까지만이 기입되도록 제어하는 기입 정보를 포함하고, 상기 기입 제어신호(LVW)가 첫 번째 1워드까지만이 기입되도록 제어하는 기입 정보를 포함한 것이 도시된다.

<136> 따라서, 상기 데이터(DQ8~DQ15)는 첫 번째 2워드인 "D0", "D1"만이 기입되고, 연속적으로 입력되는 나머지 데이터가 기입 금지된다.

<137> 또, 상기 데이터(DQ0~DQ7)는 첫 번째 1워드인 "D0"만이 기입되고, 연속적으로 입력되는 나머지 데이터가 기입 금지된다.

<138> 도 7에서 알 수 있는 것과 같이, 본 발명에 의한 개선된 데이터 기입 제어 회로를 가지는 FCRAM은 데이터 입출력 마스킹 핀을 구비하지 않고도, 소정 어드레스의 조합신호를 사용하여 데이터의 기입이 제어될 수 있다.

<139> 도 8은 본 발명이 적용되는 4비트 프리페치 방식 FCRAM의 일부인 데이터 입력 회로 및 메모리 셀 어레이를 개략적으로 나타내는 블록도이다.

<140> 도 8과 같이, 4비트 프리페치 방식 FCRAM의 일부인 데이터 입력 회로(310)는 데이터 입력버퍼(311), 제1 내지 제4 데이터 레지스터(312, 313, 314, 315) 및 제1 내지 제4 기입 드라이버(316, 317, 318, 319)를 구비한다.

<141> 상기 데이터 입력버퍼(311)는 데이터 입출력 핀으로부터 데이터(DIN)를 입력하고 내부 클럭(CLK)에 동기하여 일련의 데이터(PDIN)를 출력한다. 상기 제1 내지 제4 데이터

레지스터(312, 313, 314, 315)는 상기 데이터(PDIN)를 제1 내지 제4 데이터(DQ_IN1, DQ_IN2, DQ_IN3, DQ_IN4)로 구분하여 각각 저장한다. 상기 제1 내지 제4 기입 드라이버(316, 317, 318, 319)는 상기 제1 내지 제4 데이터 레지스터(312, 313, 314, 315) 각각에 하나씩 연결되어 상기 제1 내지 제4 데이터(DQ_IN1, DQ_IN2, DQ_IN3, DQ_IN4)를 각각 제1 내지 제4 데이터 라인(미도시)으로 출력한다.

<142> 도 8과 같이 4비트 프리페치 방식 FCRAM은 데이터 패스(path)가 4개로 각각 분리되어 있고, 메모리 셀 어레이의 뱅크(320)도 제1 내지 제4 칼럼블록(321, 322, 323, 324)으로 분리되어 있다. 결국, 각 패스를 통하여 입력되는 상기 제1 내지 제4 데이터들(DQ_IN1, DQ_IN2, DQ_IN3, DQ_IN4)이 상기 제1 내지 제4 칼럼블록(321, 322, 323, 324)에 각각 하나씩 기입된다.

<143> 도 9는 도 8에 도시된 데이터 입력 회로의 주요 입출력 신호들에 대한 타이밍차트이다.

<144> 도 9에서, "DQSS"는 데이터 스트로브 신호(DQS)와 클럭신호(CLK)간의 마진(margin)을 나타내는 신호이고, "PDSD"는 상기 데이터 스트로브 신호가 별도의 버퍼(미도시)를 통하여 버퍼링된 신호이다.

<145> 또, "PDIN"은 입력 데이터(DIN)가 상기 데이터 입력 버퍼(311)를 통하여 버퍼링된 신호이고, "PCLK"는 클럭신호(CLK)가 별도의 클럭 버퍼(미도시)에 의해 버퍼링된 신호이다. 상기 데이터 스트로브 신호의 버퍼링 신호(PDSD)에서 "A" 구간은 인밸리드 데이터(Invalid data) 구간이다. 도 9에서, "CSLi"는 i번째의 칼럼 셀렉트 라인 인에이블 신호이고, "CSLj"는 j번째의 칼럼 셀렉트 라인 인에이블 신호이다. 또, "CSLk"는 k번째의 칼럼 셀렉트 라인 인에이블 신호를,

"CSL1"은 1번째의 칼럼 셀렉트 라인 인에이블 신호를 각각 나타낸다.

<146> 도 9와 같이, 상기 칼럼 셀렉트 라인 인에이블 신호들(CSLi, CSLj, CSLk, CSK1)은 동일 클럭에 동기되어 인에이블 된다. 상기 입력 데이터(DIN)는 상기 제1 내지 제4 데이터(DQ_IN1, DQ_IN2, DQ_IN3, DQ_IN4)로 분리되어 각각 다른 데이터 입력 패스를 통하여 입력되며, 상기 칼럼 셀렉트 라인 인에이블 신호들(CSLi, CSLj, CSLk, CSK1)이 인에이블 될 때 상기 제1 내지 제4 칼럼블록(321, 322, 323, 324)에 각각 기입된다.

<147> 상기와 같이, 본 발명의 일실시예에 따른 4비트 프리페치 방식의 FCRAM은 상기 제1 내지 제4 데이터들(DQ_IN1, DQ_IN2, DQ_IN3, DQ_IN4)을 위한 데이터 패스가 서로 독립적 이므로, 상기 제1 내지 제4 데이터들(DQ_IN1, DQ_IN2, DQ_IN3, DQ_IN4) 각각의 기입 제어가 용이하게 이루어질 수 있다.

<148> 또, 본 발명의 일실시예에 따른 4비트 프리페치 방식의 FCRAM은 상기 VW 제어회로(232)가 상기 전송 게이트들(13, 23, 24, 33, 34, 43, 44)로 실행됨으로써, 상기 VW 버퍼(211)의 내부회로가 간소화될 수 있는 장점이 있다.

<149> 이러한 본 발명의 효과는 후술되는 비교예를 통해서 더욱 명백해진다.

<150> **비교예**

<151> 도 10은 본 발명과 비교되는 2비트 프리페치 방식 FCRAM의 일부인 데이터 입력 회로 및 메모리 셀 어레이를 개략적으로 나타내는 블록도이다.

<152> 도 10과 같이, 2비트 프리페치 방식 FCRAM의 일부인 데이터 입력 회로(410)는 데이터 입력버퍼(411)와, 제1 및 제2 데이터 레지스터(412, 413)와, 제1 및 제2 기입 드라이버(414, 415)를 구비한다.

<153> 상기 데이터 입력버퍼(411)는 데이터 입출력 핀으로부터 데이터(DIN)를 입력하고 내부 클럭(CLK)에 동기하여 일련의 데이터(PDIN)를 출력한다. 상기 제1 및 제2 데이터 레지스터(412, 413)는 상기 데이터(PDIN)를 EVEN 및 ODD 데이터(DQ_EVEN, DQ_ODD)로 구분하여 각각 저장한다. 상기 제1 및 제2 기입 드라이버(414, 415)는 상기 제1 및 제2 데이터 레지스터(412, 413) 각각에 하나씩 연결되어 상기 EVEN 및 ODD 데이터(DQ_EVEN, DQ_ODD)를 각각 EVEN 및 ODD 데이터 라인(미도시)으로 출력한다.

<154> 도 10과 같이 2비트 프리페치 방식 FCRAM은 데이터 패스(path)가 2개로 각각 분리되어 있고, 메모리 셀 어레이의 뱅크(420)도 EVEN 및 ODD 칼럼블록(421, 422)으로 분리되어 있다. 결국, 각 패스를 통하여 입력되는 상기 EVEN 및 ODD 데이터(DQ_EVEN, DQ_ODD)가 상기 EVEN 및 ODD 칼럼블록(421, 422)에 각각 기입된다.

<155> 도 11은 도 10에 도시된 데이터 입력 회로의 주요 입출력 신호들에 대한 타이밍차트이다.

<156> 도 11에서, "DQSS", "PDSD", "PDIN", "DIN", "PCLK", "CSLi", "CSLj" 및 "A"의 구체적인 설명은 상술한 것과 동일하므로 생략하기로 한다.

<157> 도 11과 같이, 칼럼 셀렉트 라인 인에이블 신호(CSLi, CSLj)는 서로 다른 클럭에 동기되어 인에이블 된다. 상기 입력 데이터(DIN)는 상기 EVEN 및 ODD 데이터(DQ_EVEN, DQ_ODD)로 분리되어 각각 다른 데이터 입력 패스를 통하여 입력되며, 상기 칼럼 셀렉트

라인 인에이블 신호(CSLi, CSLj)가 인에이블 될 때 상기 EVEN 및 ODD 칼럼블록(421, 422)에 각각 기입된다. 이를 좀 더 상세히 설명하면 다음과 같다.

- <158> 도 11에서, 입력 데이터(DIN)로서 "D0~D3"가 입력될 때, "D0"가 EVEN 데이터(DQ_EVEN)로, "D1"이 ODD 데이터(DQ_ODD)로 각각 배치되는 경우, "D2"는 "D0"에 연속하여 EVEN 데이터(DQ_EVEN)로 배치되고, "D3"는 "D1"에 연속하여 ODD 데이터(DQ_ODD)로 배치된다.
- <159> 도 12는 본 발명에 따른 VW 버퍼에 대한 비교예를 나타내는 도면이다.
- <160> 도 12와 같이, VW 버퍼(430)는 입력버퍼 및 디코더(431), 제어회로(432) 및 버스트 카운터(433)를 구비한다.
- <161> 상기 입력 버퍼 및 디코더(431)는 소정의 어드레스 조합 신호(ADD)가 입력되면, 이를 디코딩 하여 소정의 기입 제어신호를 출력한다. 상기 제어회로(432)는 상기 기입 제어신호에 응답하여 소정의 데이터가 기입 또는 기입 금지되도록 소정의 칼럼 디코더 제어신호를 출력한다.
- <162> 상기 버스트 카운터(433)는 1사이클의 EVEN 및 ODD 데이터 기입이 완료될 때마다 카운팅 하고, 그 카운팅 정보를 상기 제어회로(432)에 출력한다. 이를 좀 더 상세히 설명하면 다음과 같다. 상기 제어회로(432)에 의해 첫 번째 EVEN 및 ODD 데이터(D0, D1)(도 11 참고) 기입을 위한 칼럼 디코더 제어신호가 출력될 때, 상기 버스트 카운터(433)가 카운팅하고 그 카운팅 정보를 상기 제어회로(432)에 출력하여, 첫 번째 EVEN 및 ODD 데이터(D0, D1)의 기입이 완료되었음을 알린다.

- <163> 상기 제어회로(432)는 상기 카운팅 정보에 응답하여 두 번째 EVEN 및 ODD 데이터 (D2, D3)의 기입을 위한 칼럼 디코더 제어신호를 출력한다.
- <164> 상기와 같이, EVEN 및 ODD 데이터의 기입이 상기 버스트 카운터(433)의 카운팅 정보에 따라 순차적으로 제어되므로, 도 12에 도시되지는 않았지만, 비교예의 VW 버퍼 (430)는 다음 사이클에서 사용될 기입 제어신호를 저장하는 임시 기억장치를 더 필요로 한다.
- <165> 상기 비교예의 VW 버퍼(430)는 버스트 카운터 및 임시 기억장치를 별도로 구비해야 하고, 상기 제어회로는 복잡한 논리 회로로 이루어지기 때문에, FCRAM의 면적이 증가되고, FCRAM의 내부회로가 복잡해지는 단점이 있다.
- <166> 그러나, 본 발명의 VW 버퍼(211)는 버스트 카운터 및 임시 기억장치를 필요로 하지 않고, VW 제어회로(232)가 전송게이트들로 이루어지므로, 복잡한 회로 구성없이 입력되는 데이터의 기입이 제어될 수 있다.
- <167> 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

- <168> 상기한 것과 같이, 본 발명의 개선된 데이터 기입 제어 회로를 가지는 4비트 프리페치 방식 FCRAM 및 이에 대한 데이터 마스킹 방법에 의하면, 복잡한 회로의 구성없이 소정의

어드레스 조합 신호에 의해 칼럼 디코더를 제어하여 기입을 원하지 않는 데이터를 마스킹 할 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

메모리 셀 어레이와 복수의 어드레스 핀 및 복수의 데이터 핀을 구비하는 반도체 메모리 장치에 있어서,

소정의 외부 입력 신호들에 응답하여 제1 및 제2 기입 명령을 포함하는 제어 명령을 출력하는 커맨드 디코더;

상기 어드레스 핀으로 입력되는 로우 어드레스 신호를 디코딩하여 상기 메모리 셀 어레이의 해당 워드 라인을 활성화시키는 로우 디코더;

상기 어드레스 핀으로 입력되는 칼럼 어드레스 신호를 디코딩하여 상기 메모리 셀 어레이의 해당 칼럼 셀렉트 라인을 인에이블시키는 칼럼 디코더;

상기 복수의 데이터 핀으로부터 입력 데이터를 수신하여 소정의 클럭신호에 동기시켜 출력하는 데이터 입력 버퍼;

상기 메모리셀 어레이로부터 독출된 출력 데이터를 상기 복수의 데이터 핀으로 출력하는 데이터 출력 버퍼; 및

상기 어드레스 핀으로 입력되는 어드레스 조합 신호에 응답하여 상기 입력 데이터의 마스킹 여부를 지시하는 데이터 마스킹 제어신호를 출력하는 VW 버퍼를 구비하며,

상기 칼럼 디코더는 상기 데이터 마스킹 제어신호에 응답하여 상기 입력 데이터 중 마스킹될 데이터가 입력될 칼럼 셀렉트 라인을 디세이블하는 것을 특징으로 하는 개선된 데이터 기입 제어 회로를 가지는 4비트 프리페치 방식 FCRAM.

【청구항 2】

제1항에 있어서, 상기 어드레스 조합 신호는

상기 제2 기입 명령 인가시에 상기 어드레스 핀으로 인가되는 다수의 비트들중 일부 비트인 것을 특징으로 개선된 데이터 기입 제어 회로를 가지는 4비트 프리페치 방식 FCRAM.

【청구항 3】

제1항에 있어서, 상기 어드레스 조합 신호는

상기 입력 데이터의 기입 금지 제어를 위한 제1 어드레스 신호; 및

상기 입력 데이터의 기입 순차 제어를 위한 제2 어드레스 신호를 포함하는 것을 특징으로 하는 개선된 데이터 기입 제어 회로를 가지는 4비트 프리페치 방식 FCRAM.

【청구항 4】

제3항에 있어서, 상기 VW 버퍼는

상기 제1 어드레스 신호를 디코딩하여 소정의 기입 제어신호를 출력하는 입력버퍼 및 디코더;

상기 기입 제어신호에 응답하여 상기 복수의 데이터 핀 각각을 통해 4비트씩 직렬로 수신되는 상기 입력 데이터의 각 비트의 마스킹 여부를 나타내는 기입 정보 신호를 출력하는 VW 제어회로; 및

상기 제2 어드레스 신호에 응답하여 상기 입력 데이터의 기입 순차를 결정하고, 상기 기입 순차 및 상기 기입 정보 신호에 응답하여 상기 데이터 마스킹 제어신호를 출력

하는 순서 제어회로를 구비하는 것을 특징으로 하는 개선된 데이터 기입 제어 회로를 가지는 4비트 프리페치 방식 FCRAM.

【청구항 5】

제4항에 있어서, 상기 VW 제어회로는

상기 기입 제어신호에 응답하여 내부 기입 정보 신호를 출력하는 기입 정보 발생 회로; 및

상기 내부 기입 정보 신호를 래치하여 상기 기입 정보 신호를 출력하는 출력회로를 포함하는 것을 특징으로 하는 개선된 데이터 기입 제어 회로를 가지는 4비트 프리페치 방식 FCRAM.

【청구항 6】

제5항에 있어서,

상기 기입 정보 발생회로는 상기 기입 제어신호에 응답하여 서로 다른 상기 내부 기입 정보 신호를 발생하는 제1 내지 제4 기입 정보 발생회로들을 포함하며,

상기 출력회로는 상기 제1 내지 제4 기입 정보 발생회로들에 각각 연결되어 상기 내부 기입 정보 신호를 래치하여 상기 기입 정보 신호로 출력하는 제1 내지 제4 래치회로들을 포함하는 것을 특징으로 하는 개선된 데이터 기입 제어 회로를 가지는 4비트 프리페치 방식 FCRAM.

【청구항 7】

제6항에 있어서, 상기 제1 내지 제4 래치회로들 각각은

전원 입력시 소정의 내부 제어신호에 응답하여 제1 내지 제4 래치회로들의 입력단의 초기 전압 레벨을 소정 레벨로 유지시키기 위한 초기값 설정회로를 더 구비하는 것을 특징으로 하는 개선된 데이터 기입 제어 회로를 가지는 4비트 프리페치 방식 FCRAM.

【청구항 8】

제6항에 있어서, 상기 제1 내지 제4 기입 정보 발생회로들 각각은

상기 기입 제어신호를 논리 연산하는 NAND 게이트 및 복수의 인버터들; 및

상기 NAND 게이트 및 복수의 인버터들의 출력신호에 응답하여 턴 온되어 상기 내부 기입 정보 신호를 출력하는 복수의 전송 게이트들을 포함하는 것을 특징으로 하는 개선된 데이터 기입 제어 회로를 가지는 4비트 프리페치 방식 FCRAM.

【청구항 9】

제8항에 있어서, 상기 제1 내지 제4 기입 정보 발생회로들 중 적어도 하나는

상기 복수의 전송 게이트들 모두의 입력단이 그라운드에 연결되는 것을 특징으로 하는 개선된 데이터 기입 제어 회로를 가지는 4비트 프리페치 방식 FCRAM.

【청구항 10】

제8항에 있어서, 상기 제1 내지 제4 기입 정보 발생회로들 중 일부는

상기 복수의 전송 게이트들 중 일부의 입력단이 그라운드에 연결되고, 나머지 일부의 입력단이 소정의 내부전압에 연결되는 것을 특징으로 하는 개선된 데이터 기입 제어 회로를 가지는 4비트 프리페치 방식 FCRAM.

【청구항 11】

제8항에 있어서, 상기 제1 내지 제4 기입 정보 발생회로들 중 적어도 하나는

상기 복수의 전송 게이트들 모두의 입력단이 소정의 내부전압에 연결되는 것을 특징으로 하는 개선된 데이터 기입 제어 회로를 가지는 4비트 프리페치 방식 FCRAM.

【청구항 12】

제11항에 있어서, 상기 제1 내지 제4 래치회로들 각각은

상기 래치회로의 출력신호를 반전시켜 출력하는 인버터를 더 구비하는 것을 특징으로 하는 개선된 데이터 기입 제어 회로를 가지는 4비트 프리페치 방식 FCRAM.

【청구항 13】

메모리 셀 어레이와 복수의 어드레스 핀 및 복수의 데이터 핀을 구비하는 반도체 메모리 장치에서의 입력 데이터 마스킹 방법에 있어서,

(a) 소정의 외부 입력 신호들에 응답하여 제1 및 제2 기입 명령을 포함하는 제어 명령을 발생하는 단계;

(b) 상기 복수의 어드레스 핀을 통하여 로우 어드레스 신호, 칼럼 어드레스 신호 및 어드레스 조합 신호를 수신하는 단계;

(c) 상기 복수의 데이터 핀을 통하여 상기 입력 데이터를 수신하는 단계;

(d) 상기 로우 어드레스 신호를 디코딩하여 상기 메모리 셀 어레이의 해당 워드 라인을 활성화시키는 단계;

(e) 상기 칼럼 어드레스 신호를 디코딩하여 상기 메모리 셀 어레이의 해당 칼럼 셀렉트 라인을 인에이블시키는 단계; 및

(f) 상기 어드레스 조합 신호에 응답하여 상기 입력 데이터의 마스킹 여부를 지시하는 데이터 마스킹 제어신호를 발생하는 단계; 및

(g) 칼럼 디코더가 상기 데이터 마스크 제어신호에 응답하여 상기 입력 데이터 중 마스크될 데이터가 입력될 칼럼 셀렉트 라인을 디세이블하는 단계를 구비하는 것을 특징으로 하는 4비트 프리페치 방식 FCRAM에서의 데이터 마스크 방법.

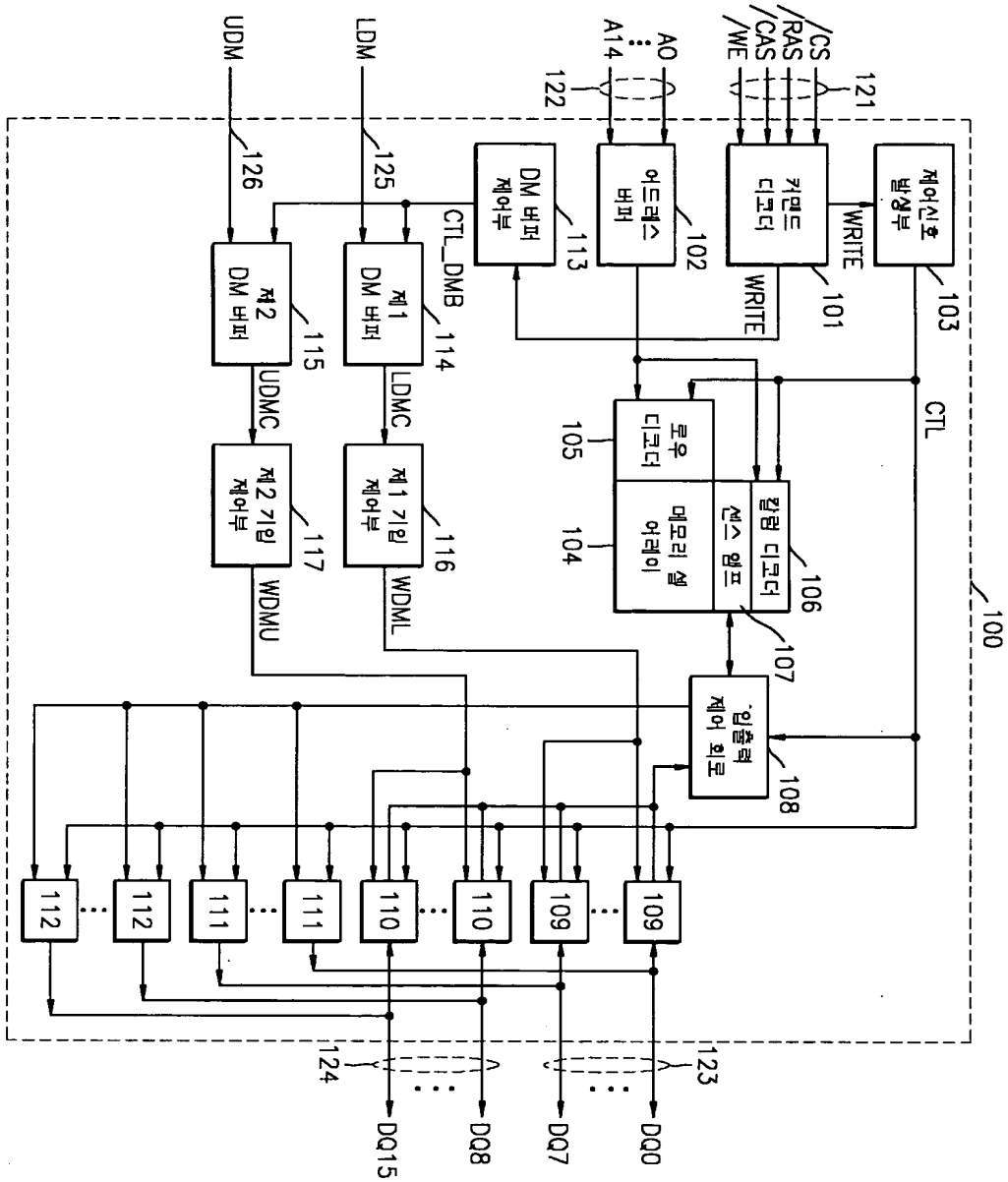
【청구항 14】

제13항에 있어서, 상기 어드레스 조합 신호는

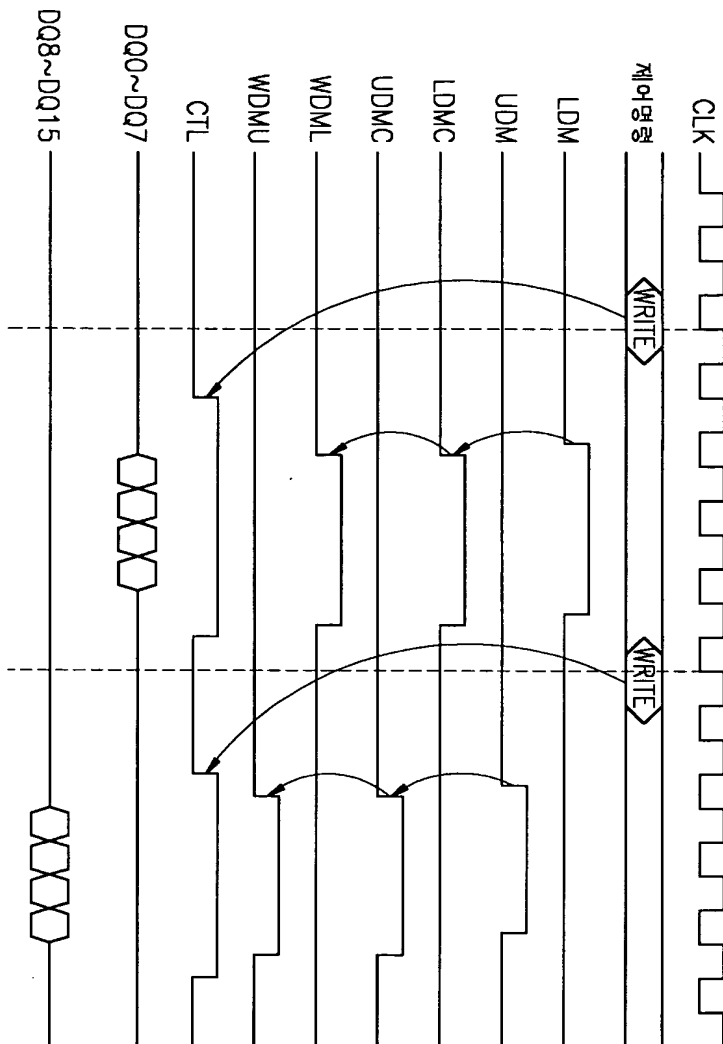
상기 제2 기입 명령 인가시에 상기 어드레스 핀으로 인가되는 다수의 비트들중 일부 비트인 것을 특징으로 하는 4비트 프리페치 방식 FCRAM에서의 데이터 마스크 방법.

【도면】

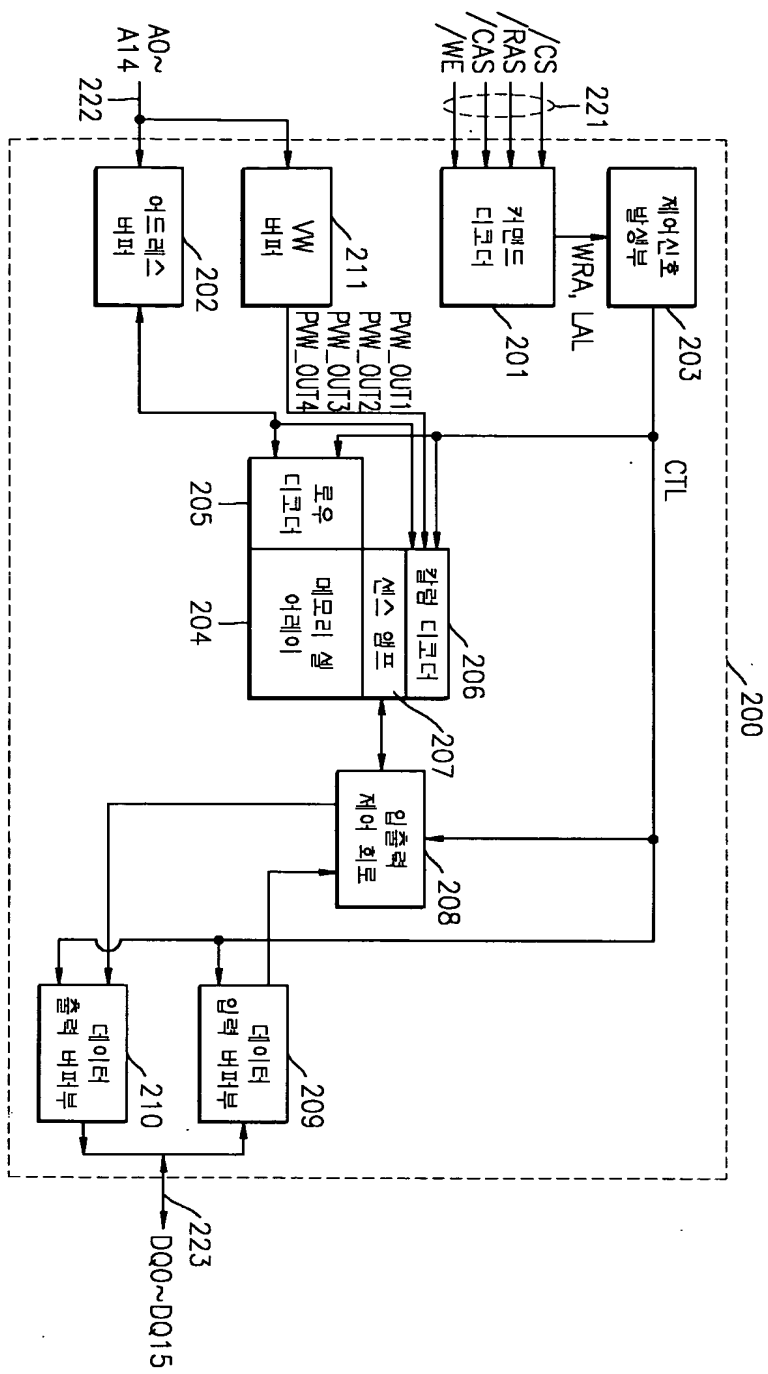
【도 1】



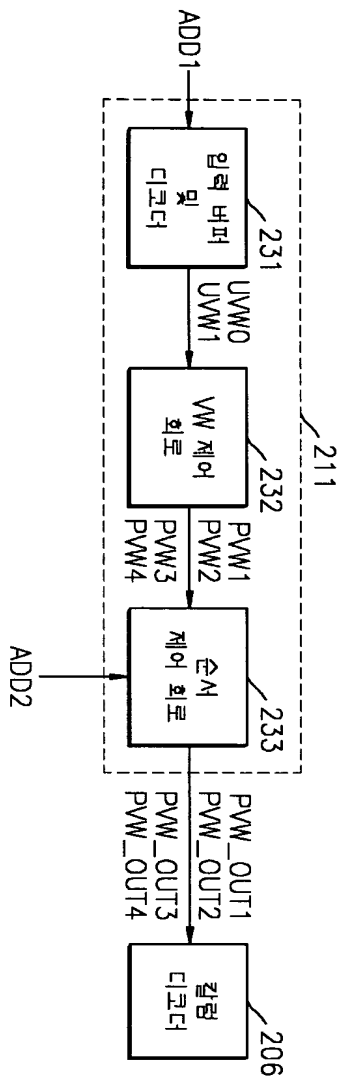
【도 2】



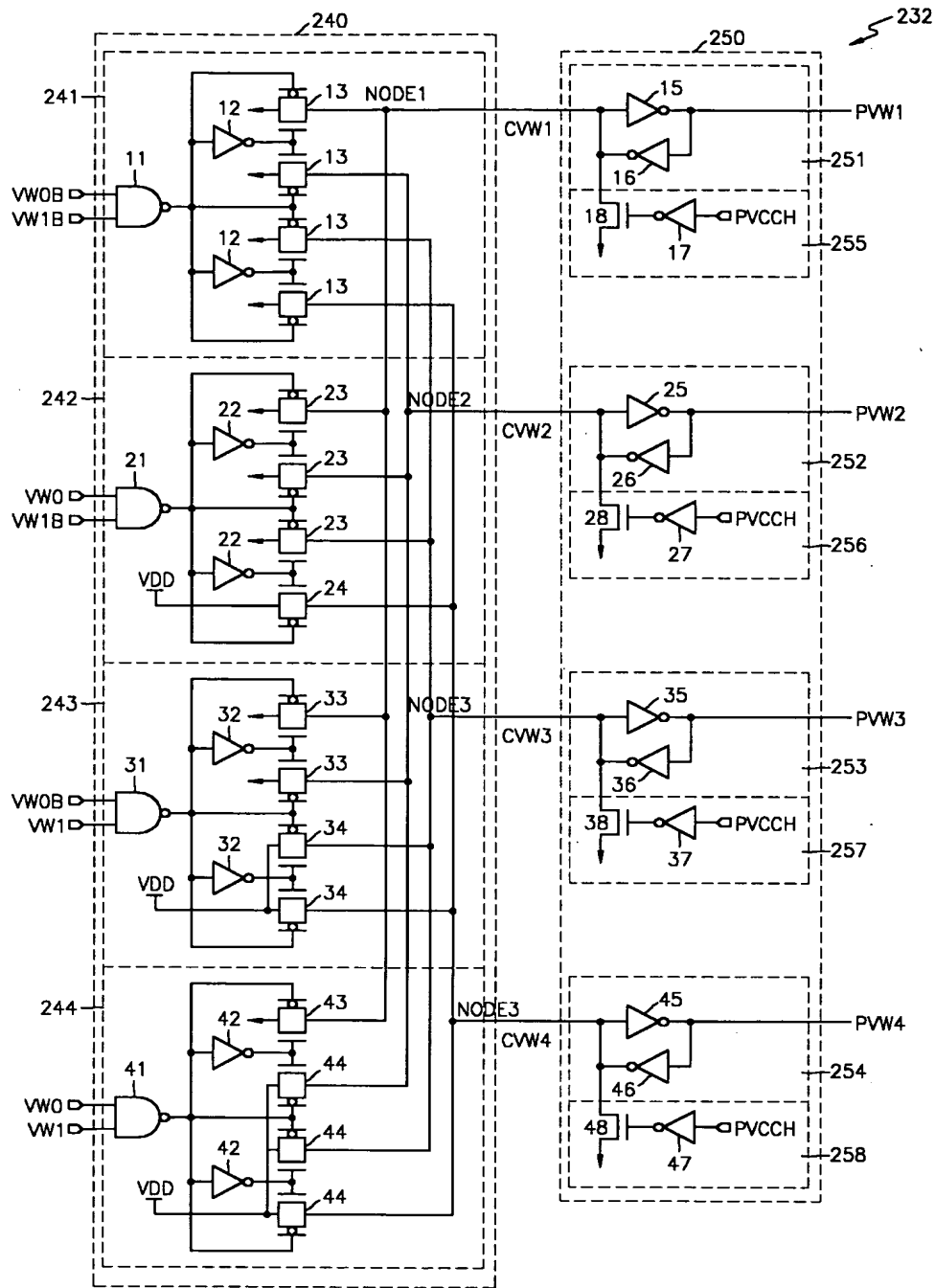
【도 3】



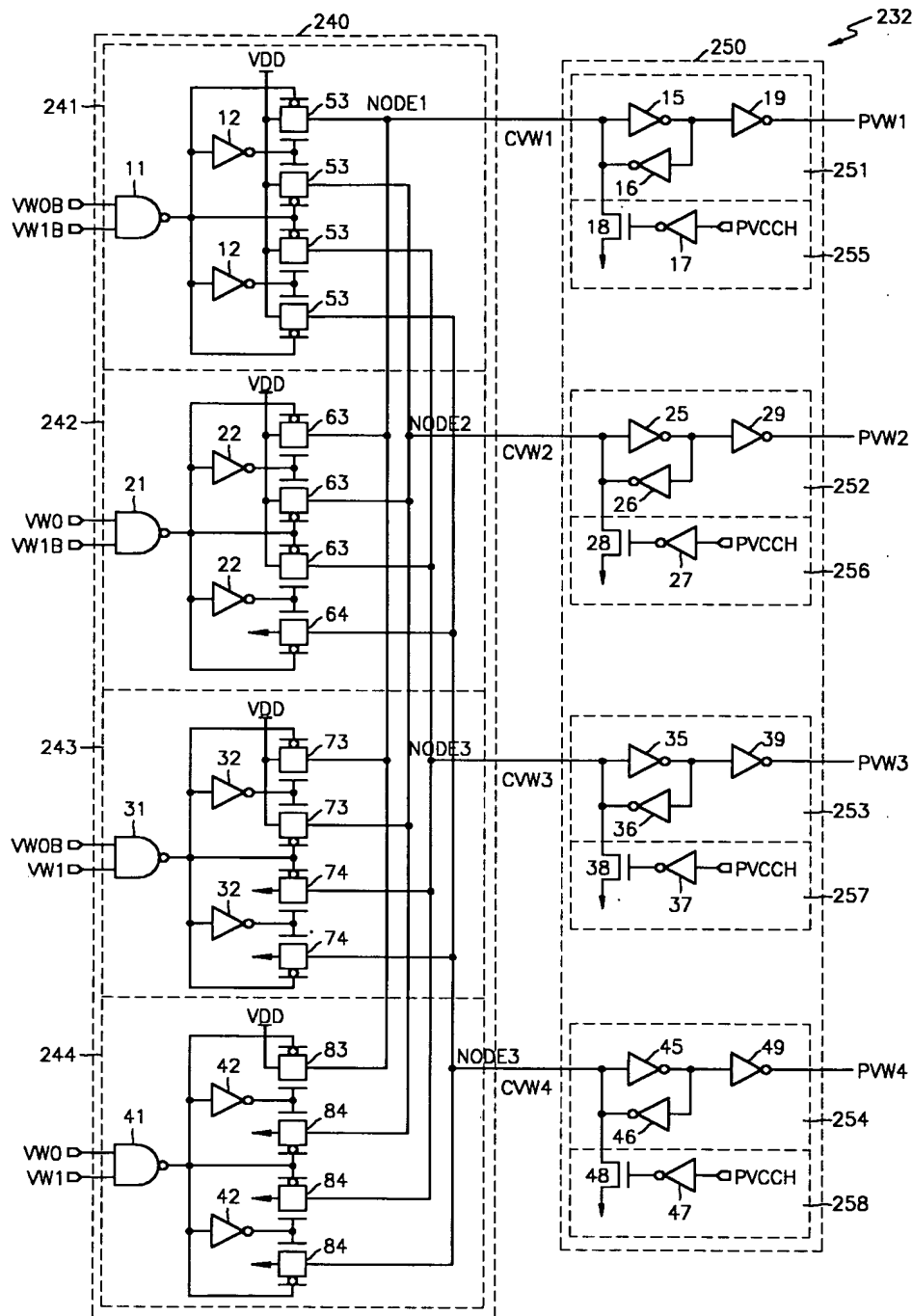
【도 4】

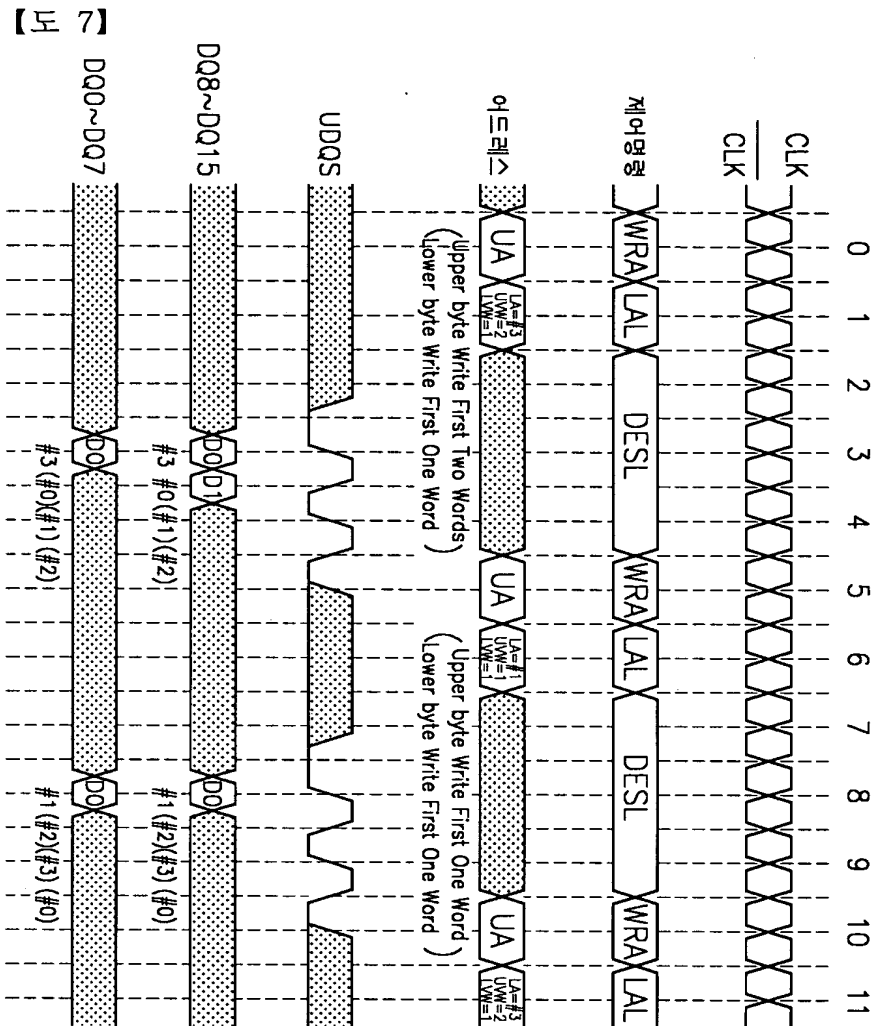


【도 5】

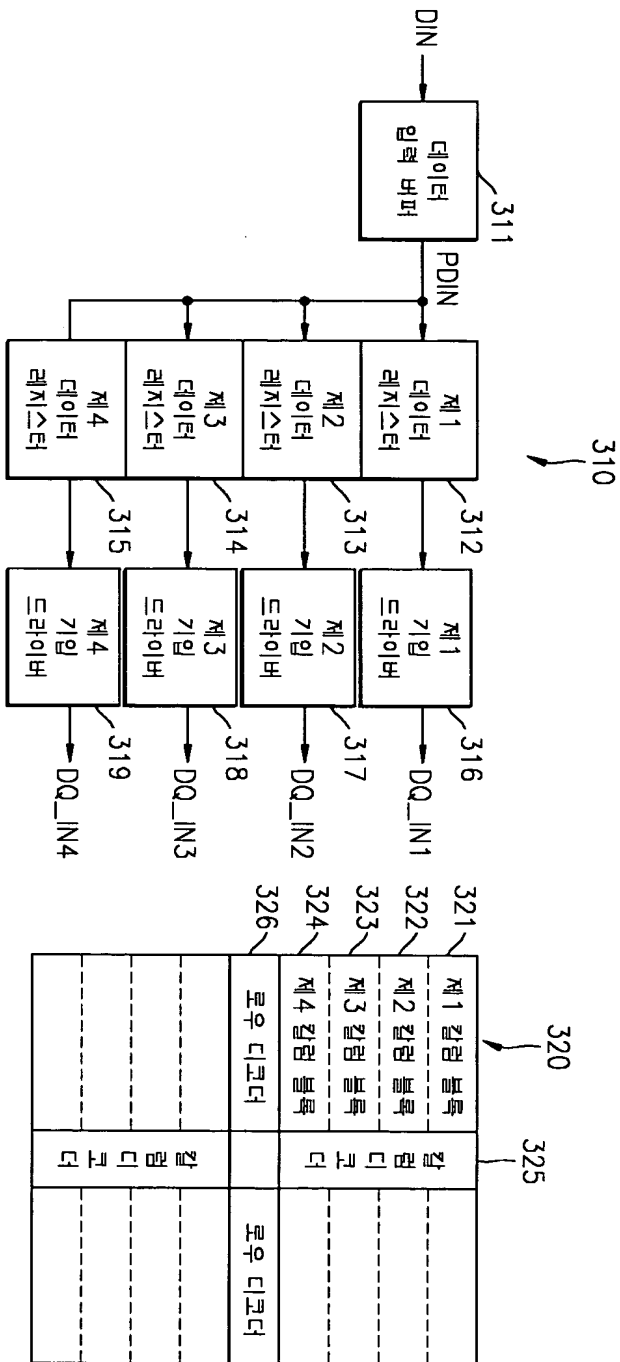


【도 6】

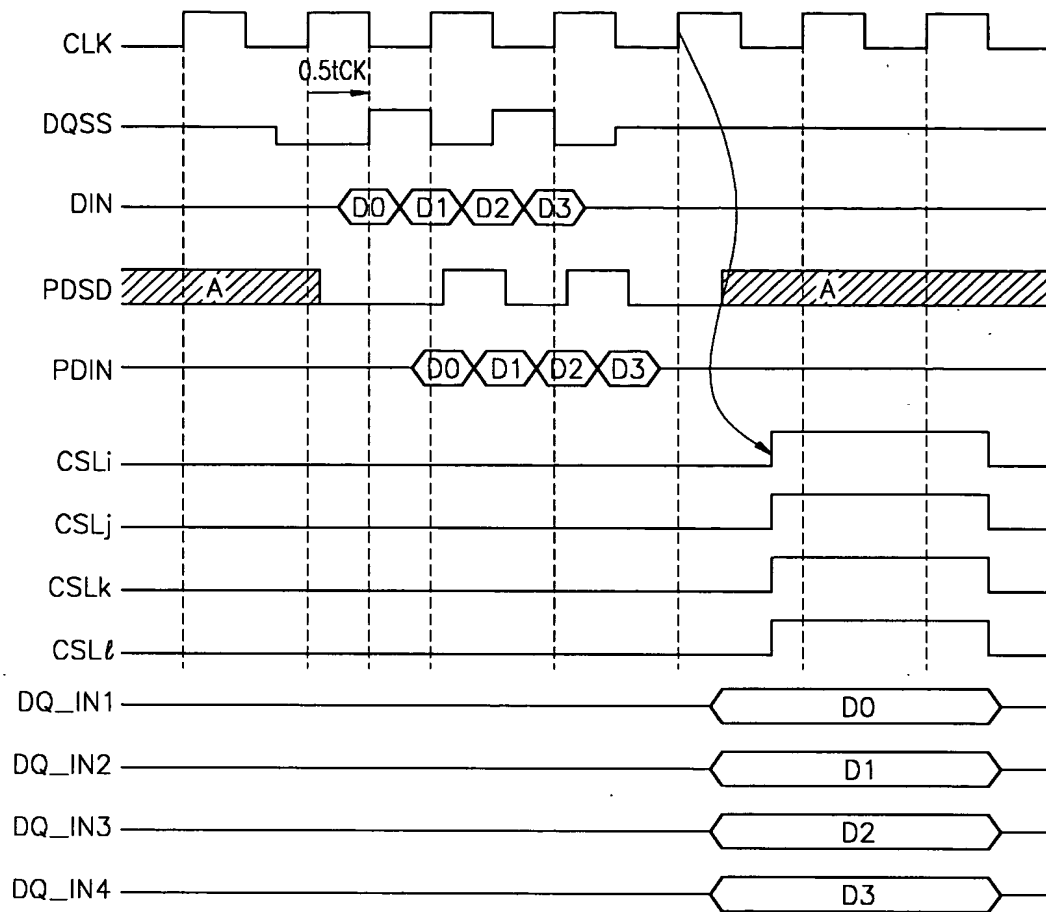




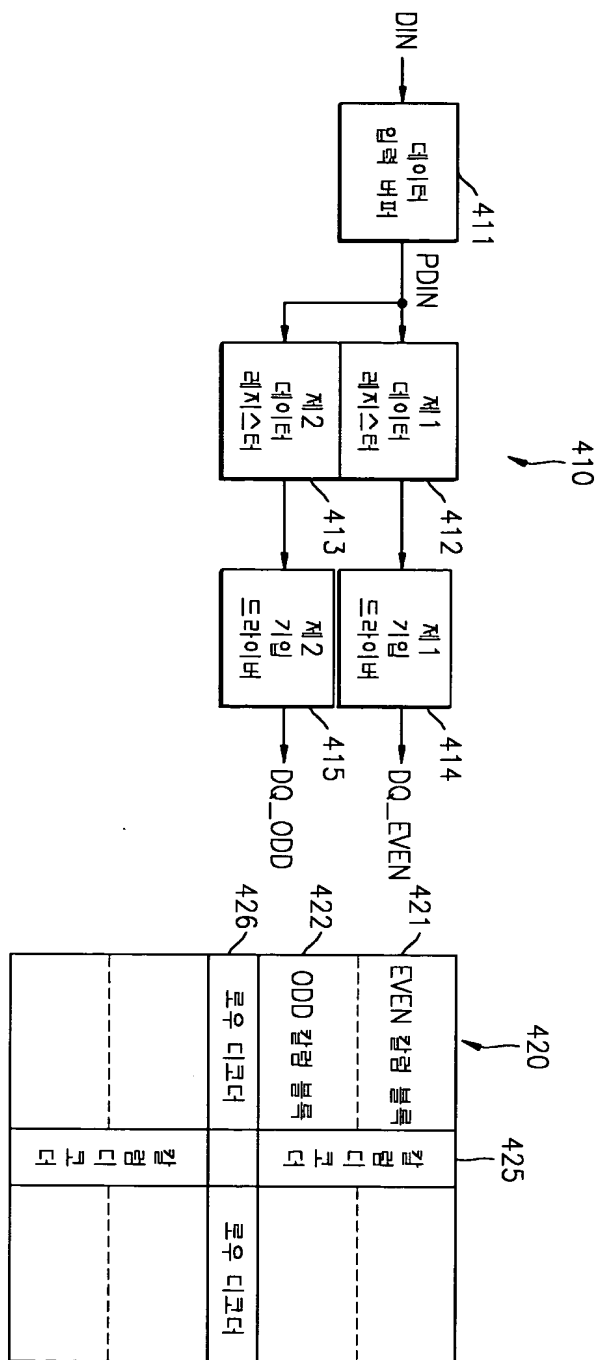
【도 8】



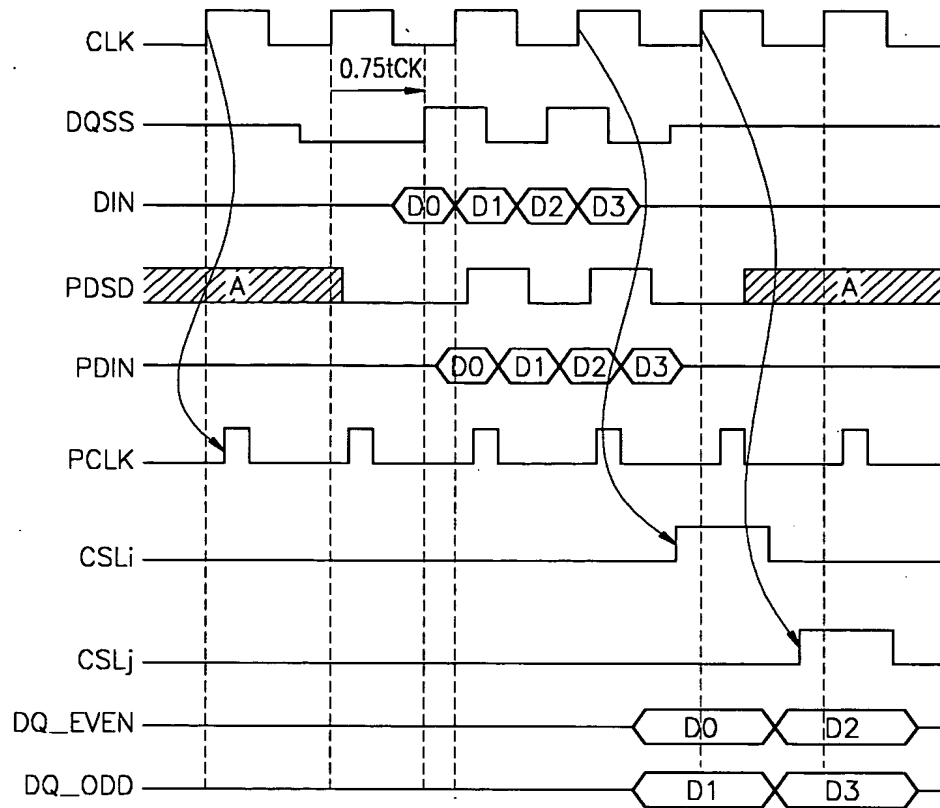
【도 9】



【도 10】



【도 11】



【도 12】

